

PAT-NO: JP410333881A

DOCUMENT-IDENTIFIER: JP 10333881 A

TITLE: STATE MACHINE

PUBN-DATE: December 18, 1998

INVENTOR-INFORMATION:

NAME

FUJII, MITSURU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP09146734

APPL-DATE: June 4, 1997

INT-CL (IPC): G06F007/00

ABSTRACT:

PROBLEM TO BE SOLVED: To make suppressable the unnecessary power consumption of a register by stopping the supply of clocks to a current state holding part when the current state is coincident with the next state.

SOLUTION: The current state and the primary input are supplied to a next state logic part 1, and the next state is calculated from these supplied data based on a prescribed function. The calculated next state is sent to a current state holding part 2. The part 2 holds the received next state as a new current state in the next clock cycle and sends this current state to the part 1 and an output block part 3 as the current state respectively. A comparison part 4 compares the current state with the next state. If no coincidence is confirmed between both states, a clock CLK is supplied to the current state holding register of the part 2. If the coincidence is confirmed between both states, the supply of the clock CLK is stopped to the current state holding register of the part 2.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-333881

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶
G 0 6 F 7/00

識別記号

F I
G 0 6 F 7/00

A

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平9-146734

(22) 出願日 平成9年(1997)6月4日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤井 満

東京都港区芝五丁目7番1号 日本電気株

式会社内

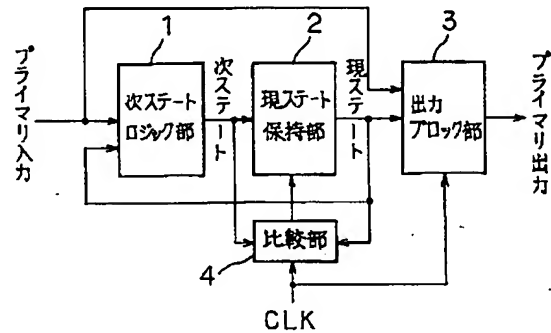
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 ステートマシン

(57) 【要約】

【課題】 レジスタによる不要な電力消費を抑制したステートマシンを提供する。

【解決手段】 現在の状態である現ステートから次の状態である次ステートを算出する次ステートロジック部と、現ステートを保持するための少なくとも1つの現ステート保持レジスタを備え、次ステートロジック部から出力される次ステートをクロックに同期して新たに現ステートとして保持する現ステート保持部とを有するステートマシンにおいて、現ステートと次ステートとを比較し、現ステートと次ステートとが一致したとき、現ステート保持部に対するクロックの供給を停止する比較部を有する構成とする。



【特許請求の範囲】

【請求項1】 現在の状態である現ステートから次の状態である次ステートを算出する次ステートロジック部と、

前記現ステートを保持するための少なくとも1つの現ステート保持レジスタを備え、前記次ステートロジック部から出力される次ステートをクロックに同期して新たな現ステートとして保持する現ステート保持部と、を有するステートマシンにおいて、

前記現ステートと前記次ステートとを比較し、該現ステートと該次ステートとが一致したとき、前記現ステート保持部に対する前記クロックの供給を停止する比較部を有することを特徴とするステートマシン。

【請求項2】 請求項1に記載のステートマシンにおいて、

クロック出力を停止可能に制御する停止手段と、現ステート保持レジスタに対応して設けられ、前記停止手段を介してクロックが独立して与えられるレジスタと、を備えた出力ブロック部を有し、

現ステート保持部は、次ステートと現ステートとが一致したとき、該現ステートを保持する現ステート保持レジスタに対応する前記レジスタに対するクロックの供給を前記停止手段に停止させるイネーブル信号を出力することを特徴とするステートマシン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は現在の各出力端子の状態が、その時の各入力端子の状態と過去の出力及び入力の状態とその順序によって決まるステートマシンに関するものである。

【0002】

【従来の技術】ディジタル回路や装置で構成されたシステムで、現在の各出力端子の状態が、その時の各入力端子の状態だけでなく、過去の出力と入力の状態とその順序によって決るとき、これをステートマシンと呼ぶ。

【0003】多くの機能を備えたLSIは各機能毎にブロック化されており、各機能ブロックはそれぞれ独自のステートマシンを備えている。ここで、ステートマシンを有する個々の機能ブロックに対して外部から入力される全ての入力信号をプライマリ入力と呼び、個々の機能ブロックから外部に対して出力される全ての出力信号をプライマリ出力と呼ぶ。

【0004】ステートマシンは、回路の現在の状態（以下、現ステートと称す）を保持する現ステート保持レジスタと、現ステートから次の状態（以下、次ステートと称す）を算出する次ステートロジック回路とによって構成される。現ステート保持レジスタには一般にDフリップフロップ（以下、D-F/Fと称す）が用いられる。ステートマシンでは、複数のD-F/Fの出力端子の状

態“0”、“1”に対応してそれぞれステートが定義され、現在の各D-F/Fの出力端子の状態が何であるかによって回路全体のステートが決定される。なお、N個のステートを持つステートマシンには最低 $\log_2 N$ 個のD-F/Fが必要になる。

【0005】図5は従来のステートマシンの構成を示すブロック図である。

【0006】図5において、ステートマシンは、現ステート及びプライマリ入力にしたがって次ステートを算出する次ステートロジック部11と、現ステートを保持するための少なくとも1つの現ステート保持レジスタからなり、次ステートロジック部11から出力された次ステートを、クロックに同期して新たな現ステートとして保持する現ステート保持部12とによって構成されている。また、現ステート保持部12の出力には現ステート及びプライマリ入力にしたがって動作する出力ブロック部13が接続されている。なお、現ステート保持部11及び出力ブロック部13はそれぞれクロックCLKに同期して動作する。

【0007】このような構成において、次に図5に示したステートマシンの動作について説明する。

【0008】次ステートロジック部11には現ステートとプライマリ入力が入力され、それらのデータから所定の関数にしたがって次ステートを算出し、現ステート保持部12へ送出する。

【0009】現ステート保持部12は入力された次ステートをクロックの次の周期で新たな現ステートとして保存し、次ステートロジック部11と出力ブロック部13とに現ステートとしてそれぞれ送出する。

【0010】出力ブロック部13は、現ステート保持部12から出力される現ステート及びプライマリ入力にしたがって動作し、プライマリ出力を生成する。

【0011】ところで、ステートマシンは、回路のステートを何個のD-F/Fを用いて表わすかで2種類の構成になることが知られている。一つは現ステート保持レジスタであるD-F/Fの出力をデコードして出力するデコード型であり、もう一つは次ステートロジック部11からデコードされたステートを出力させるOne-Hot型である。

【0012】デコード型のステートマシンの特徴は、現ステート保持レジスタの個数を最小限に抑え、現ステート保持レジスタ後段に接続されるデコード回路の出力によって現ステートを決定する。

【0013】一方、One-Hot型のステートマシンの特徴は、現ステート保持部12でステート毎にそれぞれ現ステート保持レジスタを備え、現ステートはどの現ステート保持レジスタから“1”が出力されているかによって決定される。

【0014】例えば、図6に示すような、S0～S7の8つの状態を持つステートマシンを構成する場合、デコ

ード型のステートマシンでは図7に示すような回路構成になり、3個のD-F/F14とデコード回路15とを用いだけで全ての状態を表わすことができる。一方、One-Hot型のステートマシンは図8に示すような回路構成になり、8個のD-F/F16が必要になる。

【0015】この2種類のステートマシンにはそれぞれ長所と短所があり、デコード型のステートマシンはレジスタの数が少ない反面、動作速度が遅くなり、One-Hot型のステートマシンはデコード回路が不要なため動作速度が速くなるがレジスタの数が増加する。どちらのステートマシンを用いるかは、ステートマシンを使用する回路に要求される仕様によって決定される。

【0016】

【発明が解決しようとする課題】通常、D-F/Fは図9に示すような回路から構成される。図9に示した回路では、入力信号Dの状態が“0”、“1”のいずれであってもクロックCLKの立ち上がり時及び立ち下がり時にANDゲート及びORゲートがそれぞれONになり、電源から接地電位へ貫通電流が流れる。この貫通電流はD-F/Fの入力信号Dの変化に関係なくクロックの立ち上がり及び立ち下がり毎に発生する。

【0017】通常、ステートマシンでは同一状態を繰り返す待機状態が頻繁に生じるため、上記したような従来のステートマシンでは、現ステートと次ステートが同一の場合も、現ステート保持レジスタに対するクロック入力によって貫通電流が流れ、不要な電力が消費される問題があった。

【0018】また、出力ブロック部が有するレジスタに対してもクロックが常に供給されているため、待機状態にある現ステートに対応するレジスタについても、この貫通電流によって電力が消費される問題があった。

【0019】本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、レジスタによる不要な電力消費を抑制したステートマシンを提供することを目的とする。

【0020】

【課題を解決するための手段】上記目的を達成するため本発明のステートマシンは、現在の状態である現ステートから次の状態である次ステートを算出する次ステートロジック部と、前記現ステートを保持するための少なくとも1つの現ステート保持レジスタを備え、前記次ステートロジック部から出力される次ステートをクロックに同期して新たな現ステートとして保持する現ステート保持部と、を有するステートマシンにおいて、前記現ステートと前記次ステートとを比較し、該現ステートと該次ステートとが一致したとき、前記現ステート保持部に対する前記クロックの供給を停止する比較部を有することを特徴とする。

【0021】このとき、クロック出力を停止可能に制御する停止手段と、現ステート保持レジスタに対応して設

けられ、前記停止手段を介してクロックが独立して与えられるレジスタと、を備えた出力ブロック部を有し、現ステート保持部は、次ステートと現ステートとが一致したとき、該現ステートを保持する現ステート保持レジスタに対応する前記レジスタに対するクロックの供給を前記停止手段に停止させるイネーブル信号を出力してもよい。

【0022】上記のように構成されたステートマシンは、比較部によって現ステートと次ステートとが比較され、現ステートと次ステートとが一致したとき、現ステート保持部に対するクロックの供給を停止させることで、次ステートが現ステートから変化しないときは現ステート保持レジスタにクロックが供給されなくなる。したがって、現ステート保持レジスタを構成する各Dフリップフロップに流れる不要な貫通電流がなくなる。

【0023】また、現ステート保持部が、次ステートと現ステートとが一致したとき、現ステートを保持する現ステート保持レジスタに対応する出力ブロック部のレジスタに対するクロックの供給を停止させるイネーブル信号を出力することで、出力ブロック部のレジスタには停止手段によってクロックが供給されなくなる。したがって、出力ブロック部のレジスタを構成する各Dフリップフロップに流れる不要な貫通電流がなくなる。

【0024】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0025】本発明のステートマシンは、従来のステートマシンに次ステートと現ステートを比較するための比較部を追加し、現ステート保持部及び出力ブロック部に対するクロックの供給を比較部の比較結果によって制御する。また、出力ブロック部には各ステート毎に独立してそれぞれクロックが与えられる。

【0026】図1は本発明のステートマシンの構成を示すブロック図である。また、図2は図1に示した出力ブロック部の構成を示すブロック図である。

【0027】図1において、本発明のステートマシンは、現ステート及びプライマリ入力にしたがって次ステートを算出する次ステートロジック部1と、現ステートを保持するための少なくとも1つの現ステート保持レジスタからなり、次ステートロジック部1から出力された次ステートを、クロックに同期して新たな現ステートとして保持する現ステート保持部2と、次ステート及び現ステートを比較し、現ステート保持部11に対するクロックの供給を制御する比較部14とによって構成されている。また、現ステート保持部2の出力には現ステート及びプライマリ入力にしたがって動作する出力ブロック部3が接続されている。なお、現ステート保持部1及び出力ブロック部3はそれぞれクロックCLKに同期して動作する。図2において、出力ブロック部3は、現ステートを一時的に保持する少なくとも1つのレジスタ5

と、各レジスタ5に対応してそれぞれ設けられたANDゲート6とによって構成され、クロックCLKはANDゲート6を介してレジスタ5に入力されている。また、ANDゲート6には現ステート保持部2から出力されるクロックイネーブル信号CEが入力され、クロックイネーブル信号CEによって、現在動作している現ステート保持レジスタに対応するレジスタ5にのみクロックCLKが供給される。

【0028】このような構成において、次に本発明のステートマシンの動作について説明する。

【0029】次ステートロジック部1には現ステートとプライマリ入力とが入力され、それらのデータから所定の関数にしたがって次ステートを算出し、現ステート保持部2へ送出する。現ステート保持部2は入力された次ステートをクロックの次の周期で新たな現ステートとして保存し、次ステートロジック部1と出力ブロック部3とに現ステートとしてそれぞれ送出する。出力ブロック部3は、現ステート保持部2から出力される現ステート及びプライマリ入力にしたがって動作し、プライマリ出力を生成する。

【0030】比較部14は次ステートと現ステートとを比較し、次ステートと現ステートとが一致しないときは現ステート保持部11の現ステート保持レジスタにそれぞれクロックCLKを供給する。また、次ステートと現ステートとが一致したときは現ステート保持部11の現ステート保持レジスタに対するクロックCLKの供給を停止する。

【0031】これにより、次ステートが現ステートから変化する時のみ現ステート保持部11の現ステート保持レジスタにクロックが供給され、現ステート保持レジスタで消費される電力を必要最小限に抑制することができる。

【0032】また、図2に示すように、出力ブロック部13の各レジスタ5にそれぞれ独立してクロックCLKを供給し、現在動作している現ステート保持レジスタに対応するレジスタ5のみアクティブになるように現ステート保持部11からクロックイネーブル信号CEを与える。これにより、出力ブロック部3の各レジスタ5のうち、現ステートで使用するレジスタ5以外で消費する余分な電力を抑制することができる。

【0033】したがって、現ステート保持部11の各現ステート保持レジスタ及び出力ブロック部13の各レジスタ5には必要時以外にクロックが供給されないため、レジスタを構成するD-F/Fで発生する貫通電流が抑制され、回路全体の消費電力を低減することができる。

【0034】なお、本発明の構成は、デコーダ型のステートマシンよりもOne-Hot型のステートマシンの方がより適している。すなわち、デコーダ型ではクロックイネーブル信号CEを発生させるためのデコード回路が必要になるが、One-Hot型では現ステート保持

部11の現ステート保持レジスタの出力をそのままクロックイネーブル信号CEとして使用することができるからである。

【0035】また、One-Hot型はデコーダ型よりも現ステート保持レジスタの数が多いため、同じ状態を繰り返すことによる不要な電力消費も大きく、その点でも本発明による電力消費低減の効果が大きい。

【0036】

【実施例】次に本発明のステートマシンの実施例について図面を参照して説明する。

【0037】図3は本発明のステートマシンの実施例を示す図であり、図1に示した比較部の構成を示す回路図である。また、図4は図1に示したステートマシンの動作の様子を示すタイミングチャートである。

【0038】図3において、本実施例の比較部は、入力される次ステートと現ステート保持レジスタ7から出力される現ステートとを比較するコンパレータ8と、コンパレータ8から出力される比較結果を一時的に保持するDフリップフロップ9と、現ステート保持レジスタ7に対するクロックCLKの供給を制御するANDゲート10とによって構成されている。なお、図3では1つの現ステート保持レジスタ7に対する比較部の回路構成のみを示しているが、現ステート保持部が複数の現ステート保持レジスタ7から構成される場合は、コンパレータ8、Dフリップフロップ9、及びANDゲート10が各現ステート保持レジスタ毎に設けられる。このような構成において、次に図3に示した比較部を備えたステートマシンの動作について図4を参照して説明する。

【0039】図4において、まず、現ステートがS0からS1に変化するとき、コンパレータ8からは“H”論理の信号が出力され、Dフリップフロップ9からはMask信号として“H”論理信号が出力される。このとき、ANDゲート10からはクロックCLK(Mask CLK)がそのまま出力される。

【0040】現ステートがS0からS1に変化した後、クロックCLKの次の周期では、S1の状態に変化がないため、コンパレータ8からは“L”論理の信号が出力され、Dフリップフロップ9からはMask信号として“L”論理信号が出力される。このとき、ANDゲート10からはクロックCLKが出力されない。

【0041】続いて、現ステートがS1からS2に変化するとき、コンパレータ8からは“H”論理の信号が出力され、Dフリップフロップ9からはMask信号として“H”論理の信号が出力される。このとき、ANDゲート10からはクロックCLKが再び出力される。

【0042】同様に現ステートがS2からS7に変化するとき、ANDゲート10からはクロックCLKがそのまま出力され、S7ではクロックCLKが出力されない(クロックCLKで2周期)。

【0043】したがって、次ステートが現ステートから

変化するときのみ現ステート保持レジスタ7に対してクロックCLKが供給され、次ステートが現ステートから変化しないときは現ステート保持レジスタ7にクロックCLKが供給されない。よって、現ステート保持レジスタ7を構成するD-F/Fに流れる不要な貫通電流がなくなり、現ステート保持レジスタ7で消費される電力を必要最小限に抑制することができる。

【0044】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0045】現ステートと次ステートとを比較し、現ステートと次ステートとが一致したとき、現ステート保持部に対するクロックの供給を停止する比較部を有することで、現ステート保持レジスタで消費される電力を必要最小限に抑制することができる。

【0046】また、現ステート保持部が、次ステートと現ステートとが一致したとき、現ステートを保持する現ステート保持レジスタに対応する出力ブロック部のレジスタに対するクロックの供給を停止手段に停止させるイネーブル信号を出力することで、出力ブロック部のレジスタで消費される電力を必要最小限に抑制することができる。

【図面の簡単な説明】

【図1】本発明のステートマシンの構成を示すブロック図である。

【図2】図1に示した出力ブロック部の構成を示すブ

ック図である。

【図3】本発明のステートマシンの実施例を示す図であり、図1に示した比較部の構成を示す回路図である。

【図4】図1に示したステートマシンの動作の様子を示すタイミングチャートである。

【図5】従来のステートマシンの構成を示すブロック図である。

【図6】ステートマシンの状態遷移例を示すステートダイアグラムである。

10 【図7】デコード型ステートマシンの構成例を示すブロック図である。

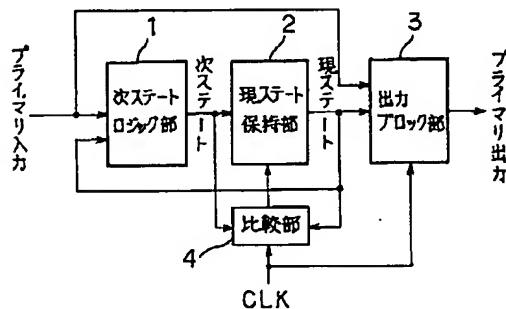
【図8】One-Hot型ステートマシンの構成例を示すブロック図である。

【図9】Dフリップフロップの構成を示す回路図である。

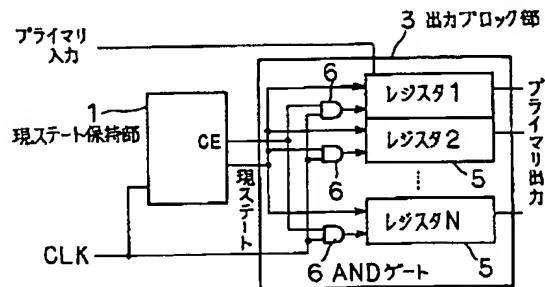
【符号の説明】

- 1 次ステートロジック部
- 2 現ステート保持部
- 3 出力ブロック部
- 4 比較部
- 5 レジスタ
- 6、10 ANDゲート
- 7 現ステート保持レジスタ
- 8 コンパレータ
- 9 Dフリップフロップ

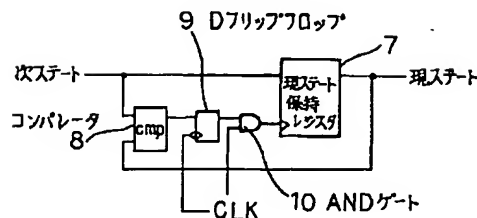
【図1】



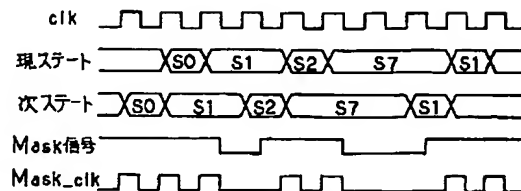
【図2】



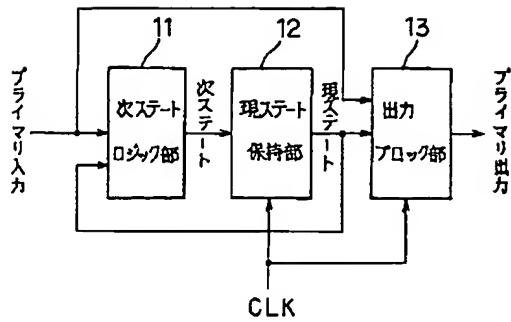
【図3】



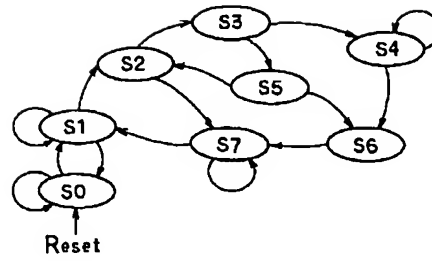
【図4】



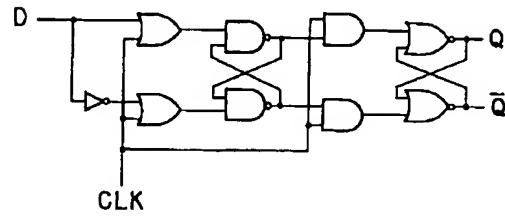
【図5】



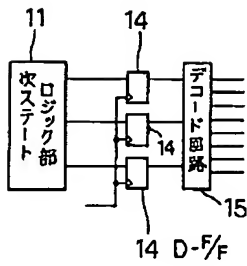
【図6】



【図9】



【図7】



【図8】

